

(19)



JAPANESE PATENT OFFICE

T1-12018 JA

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60140834 A

(43) Date of publication of application: 25.07.85

(51) Int. Cl

H01L 21/66

(21) Application number: 58247016

(71) Applicant: NEC CORP

(22) Date of filing: 28.12.83

(72) Inventor: TOYOFUKU TAKASHI

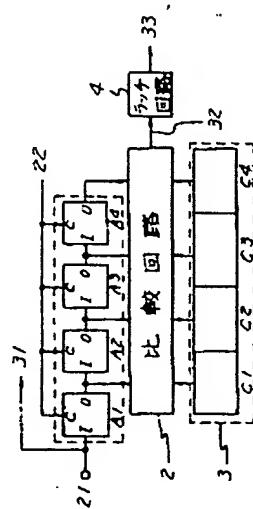
(54) TEST CIRCUIT BUILT-IN TYPE  
SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To eliminate the need for the continuation of the inputting of an input at a fixed level during a test mode period by mounting a comparison circuit comparing combination data stored in an internal memory and the combination of series data inputted from an input terminal and a circuit latching an output from the comparison circuit and using an output from the latch circuit as a signal for a test.

CONSTITUTION: Since outputs from a comparison circuit 2 are at an L level on series data signals except the combination of H and L stored in a memory 3 as input signals applied to a multifunction input terminal 21, active signals 32 from a test circuit continue to output an H level while signals 31 inputted to the terminal 21 are transmitted over the inside of an integrated circuit. Outputs from the comparison circuit 2 are at the H level and the active signals 32 are at the L level when the same series data signals as the combination of H and L stored in the memory 3 are inputted to the terminal 21. A circuit function in the integrated circuit can be evaluated because the signals function as the activation of the test circuit in the integrated circuit.

COPYRIGHT: (C)1985,JPO&Japio



(Translation)

Reference

Public Disclosure No. : Sho 60-140834

Public Disclosure date : July 25, 1985

Application No. : Sho 58-247016

Application date : December 28, 1983

Title : Semiconductor integrated circuit  
having built-in test circuit

Applicant : NEC Corporation

[Claim]

Semiconductor integrated circuit having built-in type test circuit for evaluating function of a circuit comprising;

a comparison circuit for comparing a combination of data stored in a memory with a combination of series data inputted from an input terminal,

a circuit for latching output of the comparison circuit, wherein output of a latch circuit is used as a testing signal.

[detailed description of the preferred embodiment]

-- Not translated --

Figure 3 is a block diagram of an embodiment of the present invention. The multi-functional input terminal 21 has an ability to activate a test circuit and other abilities. The 4 bit shift register 1 is connected to the multi-functional input terminal 21 in which signal 22 is a shift clock. The output of each element

A1, A2, A3, A4 of the shift register 1 is inputted to a comparison circuit 2. The output of the 4 bit memory 3 is also inputted to the comparison circuit 2. The comparison circuit 2 compares data outputted from the shift register 1 with the data outputted from the memory 3, and outputs signal 32 when the 4 bits each have the same amount of data. As the signal 32 is an input signal of the latch circuit 4, the output signal 33 of the latch circuit 4 changes in accordance with the signal 32 and maintains its output. This output signal 33 of the latch circuit 4 is the signal which activates the circuit to be tested.

Figure 4 shows a circuit of an embodiment of the present invention. T1-T12 are N channel enhancement type MOS transistors, N1-N8 are inverter circuits, T13 is a N channel depletion type MOS transistor, N9-N12 are EXOR circuits, N13-N14 are NOR circuits.

In operation, the high and low signals loaded in the multi-functional input terminal 21 are inputted to the 4 bit shift register 1 and shifted by the shift clock 22. High and low data are outputted arbitrary from the 4 bit memory 3, the output of each bit being compared with each output of the shift register 1 in the comparison circuit 2 consisting of EOR circuit. The output signal of the comparison circuit 2 is an input of the latch circuit 4 consisting of N13, N14. The output signal 32 of the latch circuit 4 is used as a signal to activate the test circuit.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-140834

⑬ Int.Cl.

H 01 L 21/66

識別記号

序内整理番号

6603-5F

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 テスト回路内蔵型半導体集積回路

⑯ 特願 昭58-247016

⑰ 出願 昭58(1983)12月28日

⑱ 発明者 堂 福 隆 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

明細書

1. 発明の名称

テスト回路内蔵型半導体集積回路

2. 特許請求の範囲

回路機能を評価するためのテスト回路を内蔵してなるテスト回路内蔵型半導体集積回路において、内部のメモリに貯えられた組み合せデータと入力端子から入力された直列データの組み合とを比較する比較回路と、該比較回路の出力をラッピング回路とを含み、該ラッピング回路の出力をテスト用信号とすることを特徴とするテスト回路内蔵型半導体集積回路。

3. 発明の詳細な説明

(技術分野)

本発明は、回路機能評価用テスト回路（以下「テスト回路」と称す）内蔵型半導体集積回路、特に内部にテスト回路を有する集積回路において、入力

端子から入力される直列データの組み合せによって内蔵されているテスト回路をアタッチメントとして特性評価・チェックを行うテスト回路内蔵型半導体集積回路に関する。

（従来技術）

近年、集積回路の回路構成は複雑・多様化しているため、内部にテスト回路を有する集積回路が開発されているが、テスト回路をアタッチメントにするには、テスト専用のテスト用入力ピンを増設したり、あるいは多様な入力端子を設けて入力信号として電源電圧以上の電圧をかけるなどの方法が用いられた。

第1図に多様な入力端子の場合における従来方法の一例のブロック構成図を示す。図においてN1-1はNチャンネルディオブレッシュン型MOSトランジスタ、N1-2はNチャンネルエンハンスマント型トランジスタである。入力端子10に印加する電圧振幅が電源電圧Vcc以内であると、インペーダンスG1-1の端値は0V~Vccの範囲内の所定値に設定されているので、出力1-1は入力端子10

に入力した 1 号に対応する動作を行ない、又、A 点の電位はインバータ G1,2 に対し常に「低」レベルとなるように設定されているので、ラストモード用出力 1,2 は常時「高」レベルになり、このようにテスト回路アタティプ信号を「低」レベルに設定するとテスト回路はアタティプにならない。入力端子 1,0 に印加する電圧として電源電圧 Vcc を越えた電圧を加えると、Vcc を越えた電圧が印加されている期間中は、A 点の電位はインバータ G1,2 に対し「高」レベルとなり、出力 1,2 は「低」レベルとなり、テスト回路をアタティプにすることができる。この場合、テストモード期間中は、入力端子 1,0 に電源電圧 Vcc を越える電圧を入力し続けなくてはならない。

第 2 図に以上の動作を説明するタイミングチャートを示し、T はテスト期間を示す。

しかし集積回路を搭載するパッケージのピン数や集積回路をアストするアストシステムには制限があるため、このような方法では効率の良いテストを行うことができなくなってきた。

- 3 -

多機能入力端子 2,1 には、信号 2,2 をシフトタップとする 4 ビットのシフトレジスタ 1 が接続されており、該シフトレジスタ 1 の各々の要素 A1, A2, A3, A4 の出力は、比較回路 2 に入力され、一方該比較回路 2 には 4 ビットのメモリ 3 の出力も入力されており、シフトレジスタ 1 から出力されるデータとメモリ 3 から出力されているデータを比較し、4 ビットすべてのデータが一致したとき、信号 3,2 を出力しこの信号 3,2 はラッチ回路 4 の入力信号となっているためラッチ回路 4 の出力信号 3,3 は信号 3,2 によって変化し、同時にその出力を保持する。このラッチ回路 4 の出力 3,3 はテスト用回路をアタティプにするための信号である。

第 4 図に本発明の一具体例の回路図を示し、T<sub>1</sub>～T<sub>12</sub> は N チャネルエンハンスマント型 MOS トランジスタ、N<sub>1</sub>～N<sub>8</sub> はインバータ回路、T<sub>13</sub> は N チャネルディプレッション型 MOS トランジスタ、N<sub>9</sub>～N<sub>12</sub> は EXOR 回路、N<sub>13</sub>～N<sub>14</sub> は NOR 回路を示す。

- 5 -

#### (発明の目的)

本発明は従来のもののテストモード期間中は一定レベル入力を入力し続けなければならない欠点をなくすと同時に、テストモード中でも信号を入力できるテスト回路内蔵型半導体集積回路を提供することにある。

#### (発明の構成)

本発明によると回路機能を評価するためのテスト回路を内蔵してなるテスト回路内蔵型半導体集積回路において、内部のメモリに貯えられた組み合せデータと入力端子から入力された直列データの組み合とを比較する比較回路と、該比較回路の出力をラッチする回路とを含み、該ラッチ回路の出力をテスト用信号とすることを特徴とするテスト回路内蔵型半導体集積回路が得られる。

#### (実施例)

次に本発明の実施例を図面を参照して説明する。第 3 図は本発明の一実施例のブロック構成図を示す。多機能入力端子 2,1 はテスト回路をアタティプにする機能と、その他の機能を有しており、

- 4 -

次にこの回路の動作について説明すると、多機能入力端子 2,1 に印加される「高」、「低」の信号は、T<sub>1</sub>, N<sub>1</sub>～T<sub>8</sub>, N<sub>8</sub> で構成されている 4 ビットのシフトレジスタ 1 に入力されており、シフトタップ 2,2 によって随時シフトされている。4 ビットメモリ 3 からは任意の「高」「低」データが出力されており、各ビットの出力と前記シフトレジスタ 1 の各々の出力とはビット毎に EOR 回路で構成する比較回路 2 で比較されている。比較回路 2 の出力信号は N<sub>13</sub>, N<sub>14</sub> で構成するラッチ回路 4 の入力となっており、ラッチ回路 4 の出力信号 3,2 をテスト回路のアタティプ信号としている。

多機能入力端子 2,1 に印加される入力信号としてメモリ 3 に貯わえられている「高」「低」の組み合せ以外の直列データ信号の場合には、比較回路 2 の出力は「低」レベルとなっているため、テスト回路のアタティプ信号 3,2 は「高」レベルを出し続けている。同時に多機能入力端子 2,1 に入力されている信号は信号 3,1 として集積回路内

- 6 -

部に供給されている。

多機能入力端子 21 にメモリ 3 に貯わえられている「高」「低」の組み合と同一の直列データ信号が入力された場合には、比較回路 2 の出力は「高」レベルとなって、テスト回路のアタタイプ信号 32 は「低」レベルとなる。このときの「低」レベル信号は集積回路内部のテスト回路をアタタイプにするよう働くため、集積回路内部の回路性能を評価することができる。同時にこの時も多機能入力端子 21 に入力されている信号は信号 31 として集積回路内部に供給されている。また入力信号 23 はラッチ回路 4 をリセットするための信号で、「高」レベルを入力することでテスト回路のアタタイプ信号 32 を「高」レベルとし、テスト回路が動作しないように働かせるものである。

第 5 図にこれまで述べた動作における各回路のタイミングチャートを示し、出力信号 32 は T で示した期間テスト回路がアタタイプになるよう働かせるための信号として使用する。

以上に説明した一具体例では 4 ビットの組み合

- 7 -

メモリ、4 ……ラッパ回路。

代理人弁理士 内原晋



せで示したが、これ以外のビット長を使用したり、メモリ 3 には固定の「高」「低」レベルを使用したが、このメモリに書き込み可能なメモリを使用することは容易に推測できる。

#### (発明の効果)

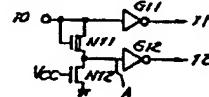
以上詳細に説明したように、本発明によれば、テスト回路を内蔵する半導体集積回路に、テスト用入力端子を増設したり多機能入力端子にテスト期間中、常時一定レベルを入力させなくても良いため、パッケージのピン数の削減ができるほか、テスト期間中でも入力端子から信号を入力することができるため、半導体集積回路のテストを効率良く行うことができるという著しい効果がある。

#### 4. 図面の簡単な説明

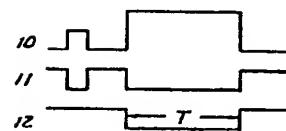
第 1 図は従来のものの一例のブロック構成図、第 2 図はその動作波形図、第 3 図は本発明の一実施例のブロック構成図、第 4 図のその一具体回路図、第 5 図はその動作波形図である。

1 ……シフトレジスタ、2 ……比較器、3 ……

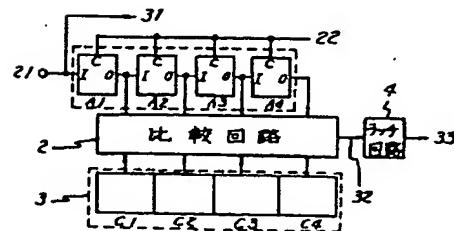
- 8 -



第 1 図

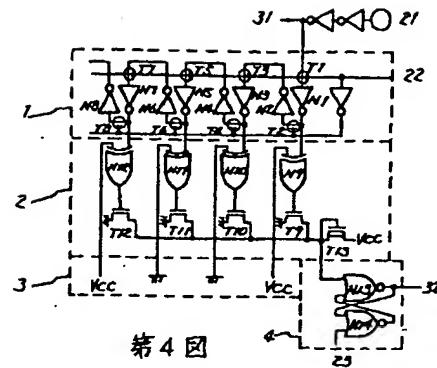


第 2 図

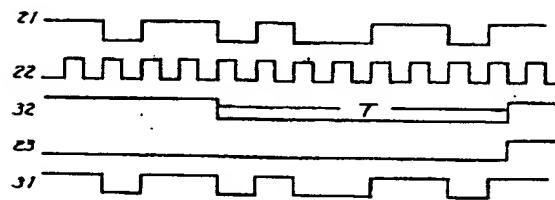


第 3 図

- 9 -  
-163-



第4図



第5図